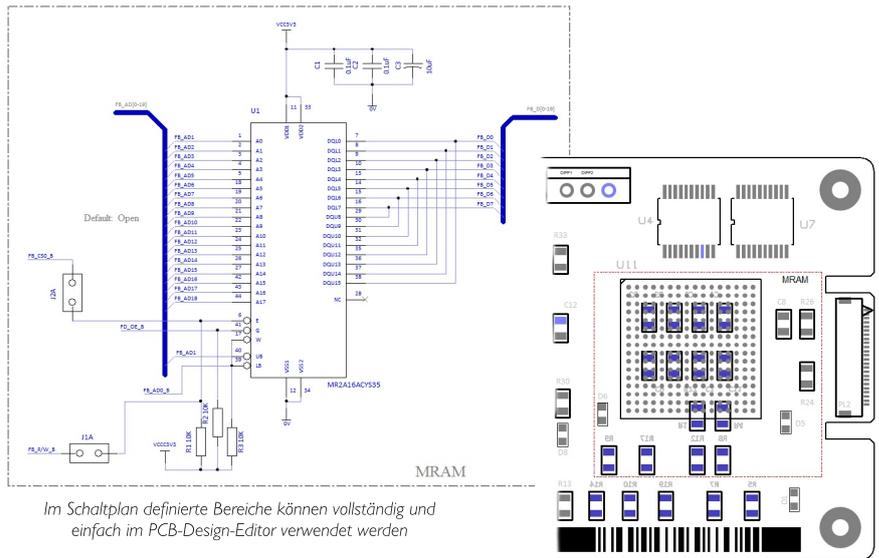


Pulsonix Version 10.5 Update

Regelbereiche im Schaltplanneditor

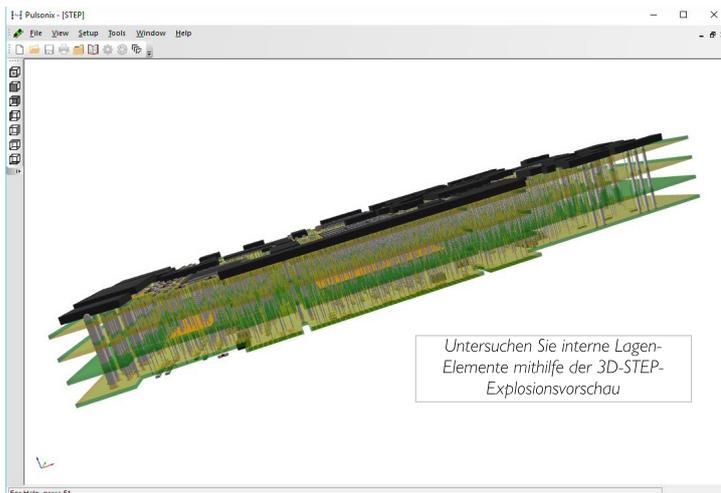
Im Schaltplan-Editor können Sie jetzt Bereiche hinzufügen. Diese verhalten sich wie aktive Bereiche, die im Constraintmanager zur Definition von Regeln verwendet werden können, ohne dass einzelnen Elementen Regeln zugewiesen werden müssen. Dadurch wird die Regelzuweisung erheblich beschleunigt. Regeln können netz- oder bauteilbasiert sein und anschließend an die PCB-Designumgebung übergeben werden. Die Regeldefinition wird im gesamten Entwurfsprozess weiter vorangetrieben. Mit im Schaltplan definierten Bereichen können auch Plotzonen zur Steuerung der Plotausgaben definiert werden.



Im Schaltplan definierte Bereiche können vollständig und einfach im PCB-Design-Editor verwendet werden

STEP 3D Vorschau

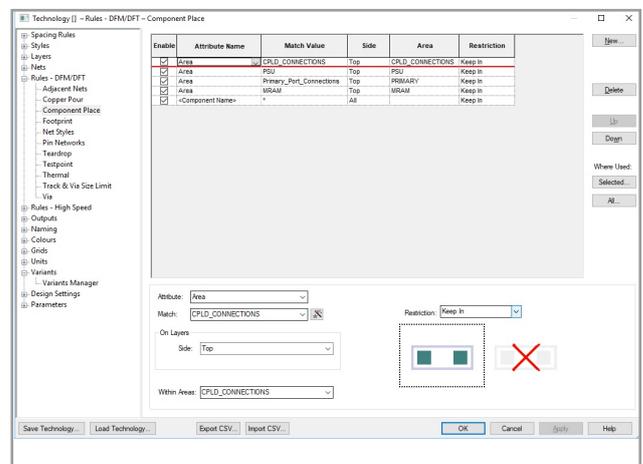
Signifikante Verbesserungen in der 3D-STEP-Vorschau verbessern den Fluss zwischen der Pulsonix-Leiterplatte und 3D-Codesign-Umgebungen. Die Möglichkeit, Positionsänderungen des Gehäuses zwischen 3D und Leiterplatte zu speichern, wurde hinzugefügt, damit eine genaue Positionierung erreicht werden kann. Eine Explosionsansicht bietet Benutzern eine Ansicht „innerhalb“ der Leiterplattenlagenstruktur, mit der sie Kupfer und Durchkontaktierungen intern untersuchen können. Kollisionsmarkierungen zeigen die genaue Position von Regelverstößen und die fehlerhafte Regel an. Mit einem Messwerkzeug können Abstände zwischen Objekten in der 3D-Vorschau angezeigt werden. Die Visualisierung wird durch eine Board-Transparenz-Option und eine benutzerdefinierte Spotlight-Position verbessert.



Untersuchen Sie interne Lagen-Elemente mithilfe der 3D-STEP-Explosionsvorschau

Bauteilplatzierungsregeln im PCB

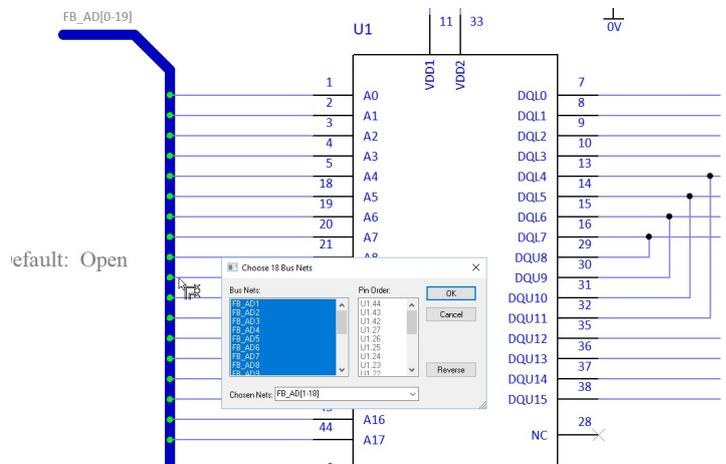
Regeln für die Bauteilplatzierung können mithilfe von Bereichen und Attributen definiert werden. Mit den im Schaltplan definierten Bereichen und den ihnen zugewiesenen Bauteilen können die Platzierungsregeln verwendet werden. Das Definieren von Sammlungen kritischer Bauteile bedeutet, dass lokalisierte Bereiche auf der Leiterplatte von den Pulsonix-Platzierungswerkzeugen und -Regeln verwendet werden.



Durch den leistungsstarken Regelmechanismus kann die Bestückung für die Verwendung im PCB-Design-Editor vordefiniert werden

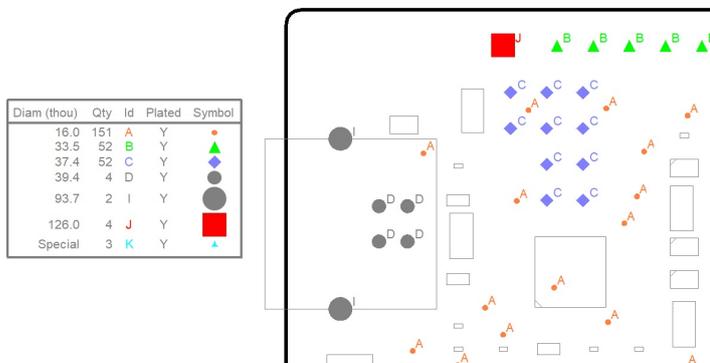
Multi Connect in Schaltplänen

Mit einer neuen Funktion in V10.5 können Benutzer im Schaltplans mehrere Pins auswählen und deren Verbindungen als Gruppe von "bused" -Netzen zeichnen. Mit den Funktionen können diese Netzgruppen gleichzeitig zusammengezogen werden, sodass durch das Zeichnen vieler Verbindungen wertvolle Entwurfszeit gespart wird. Zusätzlich zu "Bused Net" wurde die Fähigkeit "Automatisches Anbinden eines Symbols mit einem Bus" hinzugefügt. Durch Berühren der Pins eines Symbols mit dem Bus zeigen Anbindungsmarkierungen an, dass es angeschlossen werden kann. Wenn Sie fortfahren, wird die Verbindungsstruktur erstellt und die vom Bus zugewiesenen Netznamen angezeigt. Alle Busregeln werden eingehalten; Terminal Richtungen und Positionen von Netznamen.



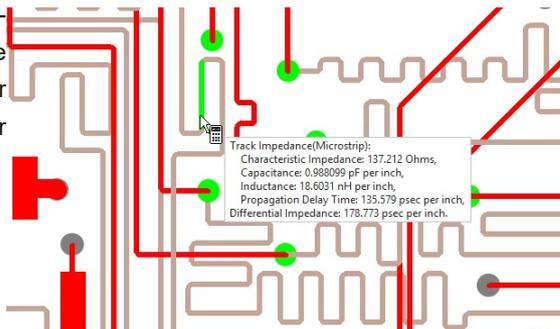
Lagen für Bohrzeichnungen

Bohrzeichnungslagen können jetzt zusammen mit der Bohrer-ID in die Leiterplatte eingefügt werden. Dies fügt dem Entwurf weitere Dokumentationsdetails hinzu und ergänzt den vorhandenen Zeichnungsmechanismus für Bohrzeichnungen. Wenn auf anderen Layern Drill-IDs erforderlich sind, können diese mithilfe einer Drill-ID-Attributposition zugewiesen werden. Darüber hinaus können farbige Bohrergrößen verwendet werden, um die Bohreridentifikationen zur besseren Übersichtlichkeit und Identifizierung farblich zu definieren.



Dynamische Berechnung der Leiterbahnimpedanz

Impedanzberechnungen können im laufenden Betrieb mit dem Konstruktionsrechner im Modus "Dynamisch" angezeigt werden. Alle Berechnungen werden für eine ausgewählte Leiterbahn in Echtzeit angezeigt, wobei die Ergebnisse in der Quick-Info der Headup-Anzeige angezeigt werden.



Funktionsübersicht:

- Stile in Technologie zusammenführen
- Quadratische Thermalspeichen
- Block-Instanz - Symbol an Ort und Stelle bearbeiten
- Block-Instanz neu generieren - Pins zurücksetzen
- Drag & Drop-Funktion für Library Manager
- Designfarben werden beim Eagle-Import geladen
- DXF-Ausgabe im Panel-Editor
- Verbesserte Tab-Routing-Regeln für den Panel-Editor
- 'Graphics Declutter'-Option
- Lücken in Zahlenbereichen füllen
- Textthinweise mit einfarbigem Hintergrund
- Export von OrCAD-Netzlisten - Netz-/Teilenamen auslassen
- Unterstützung für 3D Space Mouse in STEP 3D-Vorschau
- Zusätzliche Sternpunkte in der Platine
- 'Set Pour Order' kein modaler Dialog mehr
- Möglichkeit zum Aktivieren / Deaktivieren von Regeln
- Möglichkeit, einer Regel Notizen hinzuzufügen
- Zellbenachrichtigung bei Regelfehlern
- Filtern der Spalte Netznamen
- Unterdrücken Sie nicht angeschlossene Pads für Micro-Vias
- Seitenverhältnis und Skalierung für eine Bitmap sperren
- Exportieren Sie alle Ausgabeformate über "Plotten"

